

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM  
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation <sup>6</sup> :  
H04J 3/06

A1

(11) Internationale Veröffentlichungsnummer: WO 98/05131

(43) Internationales  
Veröffentlichungsdatum: 5. Februar 1998 (05.02.98)

(21) Internationales Aktenzeichen: PCT/DE97/01532

(22) Internationales Anmeldedatum: 22. Juli 1997 (22.07.97)

(30) Prioritätsdaten:

196 29 699.4	24. Juli 1996 (24.07.96)	DE
196 38 872.4	23. September 1996 (23.09.96)	DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): ROBERT BOSCH GMBH [DE/DE]; Postfach 30 02 20, D-70442 Stuttgart (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): KOHL, Walter [DE/DE]; Muchltorstrasse 59, D-74348 Lauffen (DE). SCHLEUPEN, Richard [DE/DE]; Gottlob Anselstrasse 6, D-74379 Ingersheim (DE). KOSS, Thomas [DE/DE]; Noerdlinger Strasse 179, D-72760 Reutlingen (DE). JAKOBI, Lothar [DE/DE]; Herm.-Hesse-Strasse 7, D-72574 Bad Urach (DE). NASS-WETTER, Guenter [DE/DE]; Uhlandstrasse 20, D-72810 Gomaringen (DE). SUELZLE, Helmut [DE/DE]; Sperlingweg 1, D-71691 Freiberg (DE).

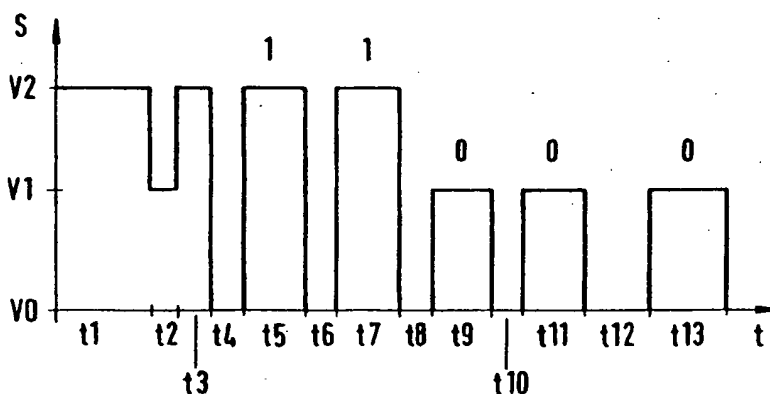
(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NI, PT, SE).

Veröffentlicht

Mit internationalem Recherchenbericht.  
Vor Ablauf der für Änderungen der Ansprüche zugelassene Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.

(54) Title: DATA SYNCHRONISATION PROCESS, AND TRANSMISSION AND RECEPTION INTERFACES

(54) Bezeichnung: VERFAHREN ZUR SYNCHRONISIERUNG VON DATEN, SCHNITTSTELLEN ZUR ÜBERTRAGUNG UND ZUM EMPFANG



(57) Abstract

Particularly simple interfaces for transmitting and receiving data are disclosed, which can be operated by a particularly simple process. Three different levels can be achieved on the bus. One (V0) of the levels serves to generate a synchronisation signal for the subsequent transmission of a high-bit or low-bit. The individual bits are achieved by the two other voltage levels (V2, V1). In a variant embodiment, information represented by two different levels is exchanged through interfaces and connection lines. Synchronisation pulses and two different information pulses are generated by different pulse lengths.

### (57) Zusammenfassung

Es werden besonders einfache Schnittstellen zur Aussendung bzw. zum Empfang von Daten vorgeschlagen, die mit einem besonders einfachen Verfahren betrieben werden können. Dabei ist vorgesehen, daß drei unterschiedliche Pegel auf dem Bus realisiert werden können. Einer dieser Pegel (V0) dient dabei zur Erzeugung eines Synchronisationssignals für die darauffolgende Übertragung eines High-Bit oder eines Low-Bit. Die einzelnen Bits werden durch die beiden anderen Spannungspegel (V2, V1) realisiert. In einer Abwandlung werden über Schnittstellen bzw. Verbindungsleitungen Informationen ausgetauscht, die mit Hilfe zweier unterschiedlicher Pegel dargestellt werden. Dabei werden durch unterschiedliche Impulslängen Synchronisationsimpulse sowie zwei unterschiedliche Informationsimpulse erzeugt.

### LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

5

10

VERFAHREN ZUR SYNCHRONISIERUNG VON DATEN, SCHNITTSTELLEN ZUR ÜBERTRAGUNG UND ZUM EMPFANG

15

Stand der Technik

20

Die Erfindung geht aus von einem Verfahren zur Übertragung von Daten bzw. von Schnittstellen für die Übertragung oder den Empfang von Daten nach der Gattung der unabhängigen Patentansprüche und betrifft insbesondere einen Spannungsregler mit Schnittstelle in einem Kraftfahrzeug.

25

Aus der DE 35 06 118 ist bereits ein Verfahren zur Übertragung von Daten über eine Datenleitung bekannt, bei dem eine Folge von ersten und zweiten voneinander unterscheidbaren Zuständen auf der Datenleitung übertragen werden. Diese Zustände stellen dabei ein High-Bit oder ein

30

Low-Bit dar.

Vorteile der Erfindung

35

Das erfindungsgemäße Verfahren bzw. die erfindungsgemäßen Schnittstellen mit den kennzeichnenden Merkmalen der unabhängigen Patentansprüche haben dem gegenüber den Vorteil, daß ein dritter Zustand vorgesehen ist, der zur Übertragung eines Synchronisationssignals genutzt wird. Die

Synchronisation kann daher in einer der beteiligten Datenstationen erzeugt werden und über die Datenleitung den anderen beteiligten Stationen mitgeteilt werden. Es ist so möglich, daß nur eine der beteiligten Datenstationen intern  
5 die Mittel zur Erzeugung eines Synchronisationssignals aufweist, während die anderen Stationen keine derartigen Mittel aufweisen müssen.

Besonders vorteilhaft ist, daß auch mit zwei Spannungspegeln  
10 gearbeitet werden kann. Erzielt wird dieser Vorteil, indem die Synchronisationsimpulse sowie die beiden weiteren Informationen, beispielsweise eine Nullinformation und eine Einsinformation durch Impulse mit unterschiedliche Signallängen realisiert werden. In vorteilhafter Weise  
15 beginnen die Impulse, die die beiden Informationen umfassen, gleichzeitig mit dem jeweiligen Synchronisationsimpuls. Die Übertragung erfolgt in vorteilhafter Weise zwischen einer ersten Datenstation und einer zweiten Datenstation, die durch eine Übertragungsleitung miteinander verbunden sind.  
20 Besonders vorteilhaft ist, daß das System auch bei mehreren Empfängern einsetzbar ist und ein Übertragungsprotokoll erstellt wird.

In den abhängigen Patentansprüchen werden vorteilhafte  
25 Weiterbildungen und Verbesserungen des Verfahrens bzw. der Schnittstelle nach den unabhängigen Patentansprüchen angegeben. Besonders einfach wird das Synchronisations-signal, wenn es darin besteht, daß die Datenleitung für eine vorbestimmte Mindestzeit in den dritten Zustand gebracht  
30 wird. Die empfangende Station kann sich dann auf die Signalfanke synchronisieren, die das Ende des dritten Zustands anzeigt. Das Einlesen eines High-Bit oder ein Low-Bit erfolgt dann einfacherweise dadurch, daß nach dem Synchronisationssignal eingelesen wird, ob die Datenleitung  
35 im ersten oder im zweiten Zustand vorliegt. Vorteilhaft ist

weiterhin daran, daß die Länge des Synchronisationssignals oder des High-Bit oder ein Low-Bits nicht ins Gewicht fallen, soweit sie jeweils eine vorgegebene Mindestzeit überschreiten, die zur zuverlässigen Erkennung des jeweiligen Zustandes auf der Datenleitung erforderlich ist. Besonders einfach werden die verschiedenen Zustände auf der Datenleitung durch unterschiedliche Spannungspegel realisiert.

Der Einsatz der erfindungsgemäßen Schnittstellen und der erfindungsgemäßen Verfahren zur Datenübertragung ist in vorteilhafter Weise als Anwendung einer Bit-synchronen Schnittstelle im Kraftfahrzeug möglich. Eine besonders vorteilhafte Anwendung der Schnittstelle ist die Verbindung zwischen dem Spannungsregler und dem Bordnetz eines Kraftfahrzeuges. Eine Verbindung zwischen dem Spannungsregler und dem Mikrocomputer der digitalen Motor-Elektronik als Bestandteil des Steuergerätes ist ebenfalls in vorteilhafter Weise möglich.

#### Zeichnungen

Ausführungsbeispiele der Erfindung sind in der nachfolgenden Beschreibung erläutert und in den Zeichnungen dargestellt. Es zeigen die Figur 1 schematisch zwei Datenstationen, die mit einer Datenleitung verbunden sind, Figur 2 unterschiedliche Zustände auf der Datenleitung, Figur 3 zwei erfindungsgemäße Schnittstellen und Figur 4 eine einfache Logik zur Auswertung von Daten.

Weiterhin zeigt Figur 5 eine schaltungstechnische Ausgestaltung einer Schnittstelle zwischen dem Spannungsregler und dem Bordnetz in einem Kraftfahrzeug bzw. die Schnittstelle zwischen der digitalen Motorelektronik (DME) und dem Spannungsregler. In Figur 6 ist ein

Übertragungsprotokoll angegeben und in Figur 7 eine Bitdecodierung. Figur 8 zeigt einen Vorschlag für ein Verfahren bzw. den Funktionsumfang für einen Spannungsregler mit Schnittstelle und Figur 9 zeigt ein Ausführungsbeispiel eines Spannungsreglers mit Schnittstelle als Prinzipschaltbild. In den Tabellen 1 bis 5 werden verschiedene Informationen für die Schnittstelle Spannungsregler-Bordnetz angegeben, wobei Tabelle 2 mögliche Befehle, Tabelle 3 mögliche Informationen, Tabelle 4 eine Start-/Stop-Sequenz und Tabelle 5 eine Fehlerauswertung aufzeigen.

#### Beschreibung

In der Figur 1 wird eine erste Datenstation 31 und eine zweite Datenstation 32 gezeigt, die durch eine Übertragungsleitung 15 miteinander verbunden sind. Die erste Datenstation 31 weist einen Mikroprozessor 33 und eine Schnittstelle 2 auf, die über mehrere Leitungen 34 miteinander verbunden sind. Die zweite Datenstation 32 weist eine Logikschaltung 35 auf, die über mehrere Leitungen 36 mit einer Schnittstelle 3 verbunden ist. Die Schnittstellen 2 und 3 haben dabei die Aufgabe, Daten, die sie vom Mikroprozessor 33 oder von der Logikeinheit 35 erhalten, für die Übertragung über die Übertragungsleitung 15 aufzubereiten bzw. Daten die die Schnittstellen 2, 3 von der Übertragungsleitung 15 erhalten, für den Mikroprozessor 33 bzw. die Logikeinheit 35 entsprechend aufzubereiten. Wesentlich ist dabei, daß die Schnittstellen 2, 3 derart ausgebildet sind, daß auf der Übertragungsleitung 15 drei unterschiedliche Zustände realisiert werden.

Die unterschiedlichen Zustände, die auf der Übertragungsleitung 15 realisiert werden, werden in der Figur 2 in einem Diagramm dargestellt. Aufgetragen ist die

Zeit  $t$  gegenüber dem Signal  $s$ , wobei das Signal hier als unterschiedliche Spannungspegel  $V_0$ ,  $V_1$  und  $V_2$  realisiert ist. Dabei ist  $V_2$  der höchste und  $V_0$  der geringste Spannungspegel. Im Zeitintervall bzw. Zeitdauer  $t_1$  befindet sich die Übertragungsleitung 15 im Ruhezustand der hier durch den Spannungspegel  $V_2$  realisiert ist. Für die folgende Beschreibung wird davon ausgegangen, daß die erste Datenstation 31 ein Signal an die zweite Datenstation 32 überträgt. Im Zeitintervall  $t_2$  zieht die Schnittstelle 2 die Übertragungsleitung 15 auf den Spannungspegel  $V_1$ . Dadurch wird angezeigt, daß eine Datenübertragung vorgenommen werden soll. Eine derartige Vorwarnung der zweiten Datenstation 32 kann beispielsweise dazu genutzt werden, ein entsprechendes Programm in der zweiten Datenstation 32 zu aktivieren, welches die Verarbeitung der Daten vornimmt, sofern die zweite Datenstation 32 ebenfalls einen Mikrorechner zur Auswertung der Daten aufweist. Die Zeitdauer  $t_2$  und die danachfolgende Zeitdauer  $t_3$ , in der auf der Übertragungsleitung 15 wieder der Ruhepegel  $V_2$  eingestellt wird, werden dabei von ihrer Länge so bemessen, daß ausreichend Zeit für die Vorbereitung der zweiten Datenstation 32 für die Aufnahme von Daten zur Verfügung steht. Der Buspegel  $V_2$  stellt im folgenden den Bitzustand High dar, während der Buspegel  $V_1$  den Bitzustand Null darstellt. Weiterhin kann die Übertragungsleitung 15 von den Schnittstellen 2, 3 noch auf den Pegel  $V_0$  gelegt werden, wie diese im Zeitintervall  $t_4$  der Fall ist. Dieses Zeitintervall  $t_4$  mit dem Spannungspegel  $V_0$  stellt ein Synchronisationssignal auf der Übertragungsleitung 15 dar. Dieses Synchronisationssignal wird beispielsweise vom Mikroprozessor 33 erzeugt und dann über eine Leitungen 34 an die Schnittstelle 2 weitergegeben. Das Synchronisationssignal wird auch als Taktsignal oder Clock (CLK) bezeichnet. In Abhängigkeit von diesem Synchronisationssignals des Mikroprozessors 33 erzeugt die

Schnittstelle 2 auf der Übertragungsleitung 15 das Synchronisationssignal, indem die Übertragungsleitung 15 für eine vorgegebene Mindestzeitdauer  $t_4$  auf den Spannungspegel  $V_0$  gezogen wird. Die Mindestzeitdauer ist dabei so  
5 ausgelegt, daß die empfangende zweite Datenstation 32 dieses Signal auf der Übertragungsleitung 15 sicher erkennen kann. Die empfangende zweite Datenstation 32 benutzt dann dieses Synchronisationssignal um ein internes Synchronisationssignals zu erzeugen, mit dem die  
10 Verarbeitung der Daten getaktet wird. Dabei kann sich die empfangende Datenstation beispielsweise auf das Ende der Zeitdauer  $t_4$  synchronisieren. Wie aus der Figur 2 zu erkennen ist, wird jedesmal, nachdem der Buspegel  $V_0$  eingenommen wurde, entweder der Buspegel  $V_1$  oder der  
15 Buspegel  $V_2$  eingenommen, d. h. jedesmal nach dem Synchronisationssignal wird entweder ein High-Bit oder ein Low-Bit übertragen. Die empfangende Datenstation muß daher jeweils nach dem Ende des Spannungszustands  $V_0$  den Spannungspegel auf der Übertragungsleitung 1 abtasten, um ein  
20 High-Bit oder ein Low-Bit zu erkennen. Im Intervall  $t_5$  wird beispielsweise mit dem Spannungspegel  $V_2$  ein High-Bit übertragen. Im Zeitintervall  $t_6$  erfolgt wieder ein Synchronisationssignal und im Zeitintervall  $t_7$  wird wiederum ein High-Bit durch den Spannungspegel  $V_2$  angezeigt. Nach dem  
25 Synchronisationssignal im Zeitintervall  $t_8$  wird im Zeitintervall  $t_9$  ein Low-Bit auf der Übertragungsleitung 15 angezeigt. Ebenso wird im Zeitintervall  $t_{10}$  ein Synchronisationsbit und im Zeitintervall  $t_{11}$  ein darauffolgendes Low-Bit übertragen. Bis zu diesem Zeitpunkt  
30 wurden in der Figur 2 die Synchronisationssignale jeweils durch gleichlange Zeitintervalle  $t_4$ ,  $t_6$ ,  $t_8$ ,  $t_{10}$  und die Bitzustände ebenfalls durch gleichlange Zeitintervalle  $t_5$ ,  $t_7$ ,  $t_9$  und  $t_{11}$  dargestellt. Aufgrund der einfachen Synchronisation ist es jedoch nicht erforderlich, daß die  
35 Zeitdauer für das Synchronisationssignal oder das einzelne



Datenbit eine vorbestimmte Länge aufweisen, solange wie eine gewisse Mindestlänge, die zur ausreichenden Identifizierung des Spannungspegels auf der Übertragungsleitung erforderlich ist, eingehalten wird. Im Zeitintervall t12 und im  
5 Zeitintervall t13 werden exemplarisch ein Synchronisationssignal und ein Low-Bit gezeigt, die eine abweichende Zeitdauer t12 bzw. t13 aufweisen. Das hier vorgestellte Übertragungsverfahren ist somit nicht darauf angewiesen, daß für die Signalpegel vorbestimmten Längen  
10 eingehalten werden.

In der Figur 1 wurde nur eine einzige Datenleitung 15 dargestellt, die beispielsweise durch einen Draht realisiert sein kann, der die beiden Datenstationen 31 und 32  
15 miteinander verbindet. Alternativ ist es auch möglich, daß statt der einen Datenleitung 15 auch zwei Datenleitungen vorhanden sind, die mit einem Differenzsignal betrieben werden. Das Signal der Figur 2 bestünde dann nicht in einem absoluten Spannungspegel auf einer Übertragungsleitung,  
20 sondern in der Differenz der Spannungspegel, die auf den beiden Datenleitungen anliegen. Statt Spannungspegel könnte auch eine oder zwei Datenleitungen verwendet werden, auf denen Ströme fließen. Weiterhin sind auch Lichtleitfasern als Übertragungsleitung geeignet, wobei dabei dann das  
25 Signal in unterschiedlichen Lichtintensitäten bestehen könnte.

Zur ersten Datenstation 31 wurde ausgeführt, daß sie ein Mikroprozessor 33 aufweist, während die zweite Datenstation  
30 32 eine Logikschaltung 35 aufweist. Das erfindungsgemäße Verfahren ist zur Übertragung von Daten besonders vorteilhaft, wenn eine der beteiligten Datenstationen eine große „Intelligenz“ aufweist, und die andere Datenstation bzw. die anderen Datenstationen vergleichsweise einfach  
35 ausgestaltet sind. Die intelligente Datenstation 31 weist

daher einen Mikrorechner 33 auf, der eine Vielzahl von komplexen Aufgaben bearbeiten kann. Weiterhin weist der Mikrorechner 33 eine interne Uhr (clock) auf, mit der ein internes Taktsignal zur Erzeugung von

5 Synchronisationssignalen zur Verfügung steht. Dieses Synchronisationssignal wird dann durch die Übertragungsleitung 15 übertragen und dient als Maßstab für die Verarbeitung der Daten in der einfach ausgestalteten zweiten Datenstation 32. Die zweite Datenstation 32 weist  
10 beispielsweise nur eine einfache Logikschaltung 35 auf, die durch das Synchronisationssignal getaktet wird. Ein einfaches Beispiel für eine derartige Logikschaltung wird in der Figur 4 beschrieben. Weiterhin ist es möglich auch die Datenstation 31 als Logikschaltung auszuführen, die eine  
15 Quelle für ein Synchronisationssignal aufweist. Diese Station kann dann beispielsweise in zeitlichen Abständen Informationen an die Datenstation 32 senden. Weiterhin kann die Datenstation ein Mikrorechner aufweisen, der zu übertragende Daten durch parallele Busleitungen an eine  
20 Logikeinheit abgibt, die dann die eigentliche Übertragung über die Datenleitung 15 vornimmt.

In der Figur 1 ist der Datenaustausch zwischen einer ersten und einer zweiten Datenstation 31, 32 beschrieben. Ebenso gut  
25 kann das erfindungsgemäße Verfahren jedoch auch angewandt werden, wenn mehrere Datenstationen beteiligt sind, wobei in diesem Fall mindestens eine der Datenstationen in der Lage ist, ein Synchronisationssignal zu erzeugen. Die übertragenen Daten sollten in diesem Fall Adressen  
30 aufweisen, durch die klargestellt wird, für welche Station die jeweiligen Daten gerade bestimmt sind.

In der Figur 3 wird eine konkrete Ausgestaltung der Schnittstellen 2 und 3 dargestellt. In der Schnittstelle 2  
35 ist die Übertragungsleitung 15 mit einem Knoten 4 eines

Spannungsteilers aus den Widerständen 5 und 6 verbunden. Der Knoten 4 ist über den Widerstand 5 und einen Schalter 15 mit einer Versorgungsspannung VCC verbunden. Weiterhin ist der Knoten 4 über den Widerstand 6 mit dem Kollektor eines Transistors 7 verbunden, dessen Emitter mit Masse verbunden ist. Die Basis des Transistors 7 ist mit einer Leitung Out-Data mit dem hier nicht dargestellten Mikroprozessor 33 verbunden. Weiterhin ist in der Schnittstelle 2 die Übertragungsleitung 15 mit dem Kollektor eines Transistors 8 verbunden, dessen Emitter mit Masse verbunden ist. Der Basisanschluß des Transistors 8 ist mit einer Leitung Out-CLK mit dem nicht dargestellten Mikroprozessor 33 verbunden. Weiterhin ist in der Schnittstelle 2 die Übertragungsleitung 15 mit einem Eingang eines Komparators 9 verbunden, wobei der Komparator einen weiteren Eingang für eine Vergleichsspannung V aufweist. Der Komparator 9 weist einen Ausgang In-Data auf, der mit dem Mikroprozessor 33 verbunden ist.

In der Schnittstelle 3 ist die Übertragungsleitung 15 mit jeweils einem Eingang eines Komparators 10 und eines Komparators 11 verbunden. Jeder dieser Komparatoren 10, 11 weist noch einen weiteren Eingang für eine Vergleichsspannung V auf. Der Komparator 10 weist einen Ausgang In-Data auf, der mit der nicht dargestellten Logikschaltung 35 verbunden ist. Der Komparator 11 weist einen Ausgang IN-CLK auf, der ebenfalls mit der Logikschaltung verbunden ist. Weiterhin ist in der Schnittstelle 3 die Übertragungsleitung 15 über einen Widerstand 12 mit dem Kollektor eines Transistors 13 verbunden. Der Emitter des Transistors 13 ist mit Masse verbunden. Die Basis des Transistors 13 ist über eine Leitung Out-Data mit der Logikschaltung 35 verbunden.

Wenn der Schalter 15 der Schnittstelle 2 geschlossen ist, ist die Übertragungsleitung 15 über den Widerstand 5 mit dem Potential VCC verbunden und es wird so das Ruhepotential von V2 auf der Übertragungsleitung 15 eingestellt. Wenn auf der Leitung Out-Data ein Signal anliegt, wird der Transistor 7 leitend geschaltet und die Übertragungsleitung 15 wird durch den Spannungsteiler aus den Widerständen 5 und 6 auf ein Potential V1 gezogen. Wenn auf der Leitung Out-CLK ein Signal anliegt, wird der Widerstand 8 leitend geschaltet, und die Übertragungsleitung 15 wird niederohmig mit Masse verbunden, so daß sich dann auf der Übertragungsleitung ein Potential V0 einstellt. Die Schnittstelle 2 weist somit alle Mittel auf, um in Abhängigkeit von Steuersignalen des Mikroprozessors 33 auf der Übertragungsleitung 15 alle drei Spannungspegel V2, V1 und V0 zu realisieren.

In der Schnittstelle 3 ist für den Komparator 10 die Vergleichsspannung V so gewählt, daß am Ausgang In-Data des Komparators ein Signal, beispielsweise ein High-Pegel, anliegt, wenn die Übertragungsleitung 15 auf dem Wert V2 ist. Weiterhin ist die Vergleichsspannung V so gewählt, daß am Ausgang In-Data kein Signal bzw. ein Low-Signal anliegt, wenn die Übertragungsleitung 15 auf dem Spannungspegel V1 ist. Typischerweise wird dazu eine Vergleichsspannung gewählt, die zwischen V1 und V2 liegt. Der Komparator 11 weist eine Vergleichsspannung V auf, die so gewählt ist, daß der dritte Zustand, d. h. der Spannungspegel V0 sicher erkannt werden kann. Dazu liegt die Vergleichsspannung zwischen V0 und V1. Die Schnittstelle 3 weist somit Mittel auf, den ersten, zweiten und dritten Spannungspegel auf der Übertragungsleitung 15 zu unterscheiden und in Folge dessen Signale für die Logikschaltung 35 zur Verfügung zu stellen. Dabei wird aufgrund der Synchronisationssignale, die von der Schnittstelle 2 auf der Übertragungsleitung 15 erzeugt werden, in der Schnittstelle 3 ein Taktsignal auf der

Leitung In-CLK (CLK=Clock) zur Verfügung gestellt, durch das die Logikschaltung 35 mit einem Taktsignal versorgt wird. Die Steuerung der Schnittstelle 2 durch den Mikroprozessor 33 erfolgt derart, daß vor der Ausgabe jedes High-Bit oder Low-Bit ein Synchronisationssignal ausgegeben wird. Dieses Synchronisationssignal stellt für die zweite Schnittstelle und die damit verbundene Logikeinheit 35 das Synchronisationssignal dar, mit dem die Bearbeitung der Bitpegel in der Schnittstelle 2 und der Logikeinheit 35 getaktet werden. Weiterhin sind in der Figur 3 Mittel angegeben, die eine Rückübertragung von Daten von der Schnittstelle 3 zur Schnittstelle 2 erlauben. Dazu weist die Schnittstelle 3 den Transistor 13 auf, der mit der Leitung Out-Data der Logikschaltung 35 verbunden ist. Über den Widerstand 12, der zusammen mit dem Widerstand 5 der Schnittstelle 2 einen Spannungsteiler bildet, kann so die Übertragungsleitung 15 wahlweise mit dem Potential V2 oder V1 beaufschlagt werden. Der Komparator 9 der Schnittstelle 2 ist mit einem entsprechenden Vergleichspotential V verbunden, welches dann erlaubt, zwischen den Spannungszuständen V2 und V1 auf der Übertragungsleitung 15 zu unterscheiden. Dabei ist jedoch zu beachten, daß die Schnittstelle 3 keinerlei Mittel aufweisen, die es erlauben, den dritten Zustand mit dem Spannungspegel V0 auf der Übertragungsleitung 15 zu realisieren. Nur die Schnittstelle 2 weist die dazu gehörigen Mittel auf. Wenn somit eine Datenübertragung von der Schnittstelle 3 zur Schnittstelle 2 geplant ist, so wird das Taktsignal nach wie vor von der Schnittstelle 2 zur Verfügung gestellt. Dazu gibt die Schnittstelle 2 ein Synchronisationssignal auf die Übertragungsleitung 15, indem sie über den Transistor 8 mit Masse verbunden wird. Wenn dann der Transistor 8 sperrt, wird sich in Abhängigkeit des Schaltzustandes des Transistors 13 der Schnittstelle 3 ein entsprechender

Spannungspegel V2 oder V1 auf der Übertragungsleitung 15 einstellen.

Der Schalter 15 kann auch genutzt werden um die Datenstation 32 aus einem „stand-by“ Zustand, mit geringer Stromaufnahme, in einen Betriebszustand zu bringen. Dazu wäre dann die Übertragungs- bzw. Datenleitung 15 noch mit einem Bauelement zu verbinden, welches im „stand-by“ Zustand die Beaufschlagung der Datenleitung 15 mit dem Spannungspegel V2 erkennt. In Fälle eines Reglers für eine Lichtmaschine würde der Schalter 16 mit dem Zündschloß gekoppelt werden.

Wenn mehrere Schnittstellen mit der Übertragungsleitung 15 verbunden sind, ist das Gesamtsystem so ausgelegt, daß zu jedem Zeitpunkt nur eine einzige Station ein Synchronisationssignal auf der Übertragungsleitung 15 erzeugen kann. Vorteilhaft ist an diesem System besonders, daß nur die Station, die das Synchronisationssignal erzeugt, eine gewisse Intelligenz aufweisen muß, und die Mittel besitzen muß, ein Synchronisiersignal zu erzeugen. Die anderen Datenstationen können besonders einfach ausgebildet sein, insbesondere müssen in diesen Stationen keine Schwingkreise vorliegen, mit denen ein Taktsignal erzeugt wird. Weiterhin können diese Stationen in Form einer einfachen Logikschaltung realisiert sein.

In der Figur 4 wird ein einfaches Beispiel für eine Logikschaltung 35 gezeigt. Dieses Beispiel bezieht sich auf einen Regler für eine Lichtmaschine, wie sie im Kraftfahrzeug verwendet wird. Bei einem derartigen Regler ist es wünschenswert, daß eine Motorsteuerung an einen Lichtmaschinenregler ein Signal übertragen kann, mit dem die Regelspannung des Lichtmaschinenreglers eingestellt wird. Es soll somit durch eine Übertragungsleitung ein analoges Signal, welches einer Spannung entspricht, zum Regler

übertragen werden. Da in einem Kraftfahrzeug zahlreiche Störspannungen auftreten, ist es nicht möglich, ein derartiges analoges Signal direkt zu übertragen, da die Spannungspegel auf der Leitung in Folge von Störungen  
5 variieren können. Der Regler muß jedoch nur das in Form von Bits übertragene Spannungssignal verstehen und kann ansonsten vergleichsweise einfach aufgebaut sein. Ein derartiger Regler, der einer Schnittstelle 3 nachgeordnet ist, wird in der Figur 4 gezeigt. Der Regler weist ein  
10 Schieberegister 41 auf, dessen Dateneingang mit der Leitung In-Data der Schnittstelle 3 verbunden ist. Weiterhin weist das Schieberegister 41 einen Takteingang 46 auf, die mit einer Verzögerung 45 verbunden ist. Bei einer derartigen Verzögerung kann es sich um jedes beliebige Bauteil handeln,  
15 mit dem eine kurze Verzögerung des Signals verbunden ist. Dies ist erforderlich, da sich nach dem Übergang von V0 auf einem der Bitpegel V1 oder V2 am Dateneingang des Schieberegisters 41 erst ein definierter Signalpegel einstellen muß. Wenn über die Übertragungsleitung 15 die  
20 Abfolge von Spannungspegeln geschickt wurde, wie sie in der Figur 2 dargestellt sind, so wird in das Schieberegister 41 der Wert 11000 eingelesen. Dieser Wert liegt dann an den parallelen Ausgangsleitungen 42 des Schieberegisters 41 an und dient als Eingangswert für einen Digital-Analog-Wandler  
25 43. In Abhängigkeit von dem an den parallelen Leitungen 42 anliegenden Bits wird dann ein Ausgangswert, beispielsweise eine analoge Ausgangsspannung auf der Ausgangsleitung 44 des Digital-Analog-Wandlers ausgegeben. Ein derartiger Spannungswert stellt dann den Schaltpegel des  
30 Generatorreglers dar.

Weiterhin weist das Schieberegister 41 einen Reseteingang 48 auf, mit dem der Inhalt des Schieberegisters 41 auf einen vorgegebenen Startwert gesetzt werden kann. Der Reseteingang  
35 48 ist mit einem Reset-Baustein 47 verbunden das mit der In-

Data-Leitung und der In-CLK-Leitung verbunden ist. Der Reset-Baustein 47 erkennt ob eine Spannungsänderung auf der Leitung In-Data erfolgt ist, ohne daß zuvor ein Signal auf der In-CLK-Leitung angelegt war. Wenn dies der Fall ist so wird ein Resetsignal erzeugt, mit dem das Schieberegister 41 auf den Startwert gesetzt wird. Ein derartiges Signal wird in der Figur 2 im Intervall t<sub>2</sub> genutzt um den Beginn einer Datenübertragung zu signalisieren. Das Schieberegister 41 kann somit immer ausgehend von einem vorgegebenen Startwert neu geladen werden.

Wie in der Figur 4 zu erkennen ist, können auf der Empfangsseite einfache logische Schaltkreise dazu genutzt werden, die digital über die Übertragungsleitung 15 übertragenen Datenworte auszuwerten. Eine gewisse Intelligenz zum Betreiben der Datenübertragung muß im wesentlichen nur in der Station vorhanden sein, die auch das Synchronisationssignal zur Verfügung stellt. Das System ist daher besonders gut geeignet, wenn eine intelligente Hauptstation eine oder mehrere vergleichsweise einfach aufgebaute Stationen anspricht.

Weitere Ausgestaltungen der Erfindung sind in den Figuren 5 bis 9 dargestellt. Mit einer Bit-synchronen Schnittstelle läßt sich ein Verfahren zur Datenübertragung realisieren, bei dem die zu übertragende Information mit zwei unterschiedlichen Spannungspegeln darstellbar ist.

Eine Bit-synchrone Schnittstelle kann beispielsweise in einem Kraftfahrzeug eingesetzt werden, wobei sich die Verbindung zwischen dem Spannungsregler und dem Bordnetz bzw. zwischen dem Spannungsregler und dem Steuergerät mit der digitalen Motorelektronik besonders eignet.



Den Schnittstellenaufbau zeigt Figur 5. Wird diese Schnittstelle bei einem prinzipiell bereits bekannten Fahrzeugbordnetz mit Spannungsregler nach Figur 9 eingesetzt, läßt sich ein Spannungsregelungssystem aufbauen, das einen optimalen Batterieladezustand gewährleistet und die Ladebilanz gegenüber herkömmlichen Systemen verbessert. Bei einem Multifunktionsregler sind optimale Verbindungen zum Steuergerät der Motorelektronik möglich, ohne daß Mehrkosten entstehen. Es läßt sich eine schnelle und sichere Regelung vor Ort durchführen mit einer zentralen Erzeugung von Stellgrößen.

Die einzelnen Möglichkeiten werden durch die in den Tabellen 1 bis 5 angegebenen Maßnahmen erzielt. Sie sind in Verbindung mit den Figuren und den nachfolgend näher bezeichneten Einzelheiten zu verstehen.

#### Schnittstelle Regler-Bordnetz

- Übertragungsrate der Schnittstelle ?
- genaue Befehlsdefinition für den Regler ?
- Adresszuweisung und damit Priorisierung des Reglers?
- maximale Anzahl von Empfänger für diese Schnittstelle?
  - Anzahl notwendiger Bits für die Adressierung

Tab1

**Schnittstelle Regler-Bordnetz****Mögliche Befehle****Schreiben:**

- Regelspannungsoffset 6 bit (ca. 100mV Schritte)
- Regelung: Regelung AUS/EIN
- LRD 3 bit: 0, 2, 4, ..., 14s
- Meßmodus

Tab2

5

**Schnittstelle Regler-Bordnetz****Mögliche Information****Lesen:**

- DFM-Wert 5 bit (Auflösung ca. 3%)
- Fehler-/Statusflag 6 bit:
  - Überspannung
  - Unterspannung
  - Feldendstufenkurzschluß gegen Plus
  - Feldunterbrechung/Kurzschluß nach Masse
  - Riemenbruch
  - Vollastmonitor

Tab3

10

## Schnittstelle Regler-Bordnetz

5

## Start-/Stop-Sequenz

1. Erkennung ZS-EIN über HIGH-Pegel an Schnittstelle, Regler aktiviert sich, aber keine Erregung
2. Zyklische Deaktivierung (max 2s Abstand) der Regelung durch Übertragung des Regelung AUS-Befehls
3. Bei Nichtsetzen von Regelung-AUS innerhalb 2s geht der Regler in den Normalregelmodus → Notanlauf über Klemme V
4. Bei Erkennung Generator dreht, ohne ZS-EIN, geht der Regler sofort in den Normalregelmodus → Notanlauf über Klemme V
5. Bei ZS-AUS und Generator steht, wird der Regler abgeschaltet

Tab4

**Schnittstelle Regler-Bordnetz****Fehlerrauswertung**

1. Wird innerhalb 2s keine gültige Botschaft übertragen, so geht der Regler mit allen Parametern in den Default-zustand
2. Fehler werden zum Steuergerät übertragen und von diesem verarbeitet und eventuell angezeigt
3. Eine nicht erfolgreiche Verbindung zum Regler wertet das Steuergerät aus

Tab5

5

In Figur 5 ist die Schnittstelle zwischen einem Spannungsregler 50 und der digitalen Motorelektronik 51, beispielsweise dem Steuergerät einer Brennkraftmaschine oder eines sogenannten Bordnetzsteuergerätes oder einer sonstigen Elektronik beschrieben. Die Verbindung erfolgt lediglich über eine Leitung 52, die zwischen den Verstärkern 53 des Reglers und 54 der digitalen Motorelektronik liegt. Am Ausgang der beiden Verstärker 53, 54 entsteht das Signal DataIN. Der Basis eines Transistors 55 des Reglers 50, dessen Kollektor mit der Leitung 52 und dessen Emitter mit Masse verbunden ist, wird das Signal DataOUT zugeführt. In der digitalen Motorelektronik DME 51 ist ein Transistor 56 vorhanden, dessen Emitter auf Masse liegt und dessen Kollektor mit der Leitung 52 verbunden ist. Über einen Widerstand 57 und ein Schaltmittel 58 kann der Kollektor des

10

15

20

Transistors 56 an Batteriespannung UB gelegt werden. Der Basis des Transistors 56 wird das Signal DataOUT zugeführt.

Mit der in Figur 5 dargestellten Schnittstelle zwischen Regler 50 und DME 51 läßt sich ein erfindungsgemäßes Verfahren zur Übertragung von Daten und zum Empfang von Daten realisieren. Eine bidirektionale, Bit-synchrone Übertragung von Bitinformationen mit den Informationsbits SYNC, 0 und 1 durchführen. Die drei Informationen unterscheiden sich durch eine Puls-Pause codierte Einzelperiode. Der Signalverlauf ist in Figur 7 dargestellt. Wird eine solche Information über die Leitung 52 gegeben, lassen sich die gewünschten Daten übertragen. Zur Synchronisierung werden vom Master kontinuierliche SYNC-Informationen gesendet, lediglich während einer Übertragungsbotschaft von n-Bits werden 0 oder 1 Informationen vom oder zum Master übertragen. Es wird also eine Folge Sync-Impulse-Übertragungsbotschaft-Sync-Impulse übertragen. In Figur 6 ist ein Übertragungsprotokoll dargestellt, das den zeitlichen Ablauf des übertragenen Signales aufzeigt. Mit DIR ist das Bit für die Datenrichtung gemeint, wobei entweder vom Master (DME) 51 zum Slave (Regler) 50 gesendet wird oder vom Slave (Regler) zum Master (DME). Mit ADDRESS sind Bits bezeichnet, für die gilt: wenn vom Master (DME) gesendet wird, wird hier die Adresse des Empfängers angegeben, wenn vom Slave (Regler) gesendet wird, bezeichnet dieser Signalteil die Adresse des Slave.

Mit COMMAND sind Befehle oder ein Registerindex bezeichnet. Unter DATA werden die Sende- bzw. Empfangsdaten abgegeben. P bezeichnet Parity vom Sender und ACKN die Bestätigung vom Empfänger.

Da bei der in den Figuren 6 und 7 dargestellten bidirektionalen Bit-synchronen Übertragungen von Bitinformationen nur mit zwei Spannungspegeln gearbeitet wird und die unterschiedlichen Informationen in unterschiedliche Pulspauseverhältnisse eingebunden werden, läßt sich der volle Spannungshub ausnutzen und somit maximaler Störabstand erreichen. Das Signal SYNC kommt immer vom Master, es können daher One-Chip-Oszillatoren ohne Quarz verwendet werden, da die Möglichkeit der Synchronisierung besteht. Die Synchronisierung kann auf die Bit-Information erfolgen, das heißt Fehler und Toleranzen gelten nur für Einzelbits und werden nicht im Übertragungswort aufaddiert. Die bidirektionale Übertragung erfolgt wie bereits erwähnt, lediglich durch einfache Verlängerung des SYNC-Signals zu einer 0- oder 1-Information. Eine Priorisierung ist möglich, da beispielsweise die 1-Information länger ist als die 0-Information.

Ein Zusammenstellung der Basisfunktion sowie mögliche Komfortfunktionen wird in Figur 8 gegeben, wobei zum einen ein 2-Pegel-Signal aufgeführt ist. Weiterhin ein pulswertenmoduliertes Signal, eine Bit-synchrone Schnittstelle und ein CAN-Bus. Die Bit-synchrone Schnittstelle sowie der CAN-Bus lassen sich für die Basisfunktionen und die Komfortfunktionen ausweiten. Als Basisfunktion wird eine Kennlinie für die Regelfunktion angegeben. Komfortfunktionen sind eine Load-Response-Funktion, ein DF-Monitor, mit dem das an der Klemme DF anliegende Signal verarbeitet wird. Eine weitere Komfortfunktion ist eine Fehleranzeige, mit der die

eigentliche Anzeige sowie Diagnose erfolgen kann. Sonstige Funktionen sind möglich.

In Figur 9 ist eine Einsatzmöglichkeit der erfindungsgemäßen Schnittstelle bzw. des erfindungsgemäßen Verfahrens für ein Fahrzeugbordnetz dargestellt. Dieses Fahrzeugbordnetz umfaßt in bekannter Weise einen Drehstromgenerator 90, den Bürstenhalter 91 mit den Anschlußklemmen B+, DF und V. Der Regler 92, der dem Regler 50 nach Figur 5 entspricht, hat die Klemme D- und umfaßt in bekannter Weise ein Leistungsteil 93 und ein Steuerteil 94. Das Steuerteil 94 des Reglers 92 ist über die Schnittstelle COM mit der DME 95 verbunden, die beispielsweise der digitalen Motorelektronik 51 nach Figur 5 entspricht. Zwischen der DME 95 und dem Regler 92 werden Steuersignale ST und Diagnosesignale DI ausgetauscht. Eine nicht näher gezeigte Verbindung der Ladekontrollampe 96 ermöglicht eine Fehleranzeige. Vom Bordnetz 97 ist lediglich die Batterie 98, ein Verbraucher 99 sowie der Starter 100 dargestellt. Der Verbraucher 99 ist dabei über Schaltmittel 101 mit dem Pluspol der Batterie 98 verbindbar und der Starter 100 ist über den Schalter 102 (Zündschalter ZS) mit der Klemme Kl.15 verbindbar, die ihrerseits über den Anlasser auf Klemme Kl. 30 und damit zur Batterie 98 führt.

Der Generatorstrom IG wird über Klemme B+ ausgekoppelt und führt zum positiven Anschluß der Batterie 98. Am Ausgang der durch beispielsweise sechs Zenerdioden gebildeten Gleichrichterbrücke 104 liegt noch ein Kondensator 105. Vom Drehstromgenerator 90 sind im übrigen lediglich die Feldwicklung 106 sowie die Ständerwicklungen 107, 108 und 109 dargestellt.

Zwischen dem Steuergerät DME 95 und dem Spannungsregler 92 bzw. dessen Steuerteil 94 kann die erfindungsgemäße Datenübertragung ablaufen, wobei ein Datentransfer in beide Richtungen möglich ist. Dem Steuergerät 95 lassen sich so Informationen vom Spannungsregler zuführen, das Steuergerät 95 kann seinerseits die gewünschten Regelfunktionen, beispielsweise die in Figur 8 aufgeführten Basis- bzw. Komfortfunktionen durchführen.



5

## Ansprüche

- 10 1. Verfahren zur Übertragung von Daten über eine  
Übertragungsleitung (15) durch Übertragung einer Folge eines  
ersten oder eines zweiten voneinander unterscheidbaren  
Zustands auf der Übertragungsleitung, die ein High-Bit oder  
ein Low-Bit darstellen, dadurch gekennzeichnet, daß ein  
15 dritter Zustand auf der Übertragungsleitung (15) erzeugbar  
ist, der von den ersten beiden Zuständen unterscheidbar ist,  
und daß der dritte Zustand als Synchronisationssignal  
verwendet wird.
- 20 2. Verfahren zur Übertragung von Daten von einer ersten  
Einrichtung, die mit wenigstens einer Übertragungsleitung  
mit einer zweiten Einrichtung verbunden ist, wobei Folgen  
eines ersten oder eines zweiten voneinander unterscheidbaren  
Zustandes auf der Übertragungsleitung erzeugt werden,  
25 dadurch gekennzeichnet, daß durch die beiden Zustände ein  
Synchronisationsimpuls und zwei Informationsimpulse gebildet  
werden, wobei sich die Dauern der Impulse voneinander  
unterscheiden.
- 30 3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß  
das Synchronisationssignal gebildet wird indem die  
Übertragungsleitung für eine vorbestimmte Mindestzeit in den  
dritten Zustand gebracht wird.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß die Datenleitung für eine vorbestimmte Mindestzeit in den ersten oder zweiten Zustand gebracht wird, um ein High-Bit oder Low-Bit anzuzeigen, und daß vor jedem High-Bit oder Low-Bit ein Synchronisationssignal übertragen wird.

5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Übertragungsleitung einen Ruhezustand aufweist, indem sie in einem der drei Zustände gehalten wird, und daß der Beginn einer Datenübertragung dadurch angezeigt wird, daß die Übertragungsleitung in einem anderen als den Ruhezustand gebracht wird.

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die drei unterschiedlichen Zustände dadurch realisiert werden, daß auf einem elektrischen Leiter unterschiedliche Spannungspegel erzeugt werden.

7. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß die erste Einrichtung ein Mikroprozessor, insbesondere ein Steuergerät in einem Kraftfahrzeug ist und die zweite Einrichtung der Spannungsregler des Kraftfahrzeugs.

8. Verfahren nach Anspruch 2 oder 7, dadurch gekennzeichnet, daß mehrere Empfänger vorhanden sind und ein Übertragungsprotokoll erzeugt wird.

9. Schnittstelle zum Aussenden von Daten, die mit einer Übertragungsleitung verbunden ist, wobei die Schnittstelle erste Mittel aufweist, eine Folge eines ersten oder eines zweiten voneinander unterscheidbaren Zustands auf der Übertragungsleitung zu erzeugen, die High-Bits oder Low-Bits darstellen, dadurch gekennzeichnet, daß zweite Mittel vorgesehen sind, um in Umsetzung eines

Synchronisationssignals auf der Datenleitung einen dritten Zustand zu erzeugen, der vom ersten und zweiten Zustand unterscheidbar ist.

5        10. Schnittstelle nach Anspruch 9, dadurch gekennzeichnet, daß die drei unterschiedlichen Zustände durch Spannungspegel auf einem elektrischen Leiter realisiert sind.

10       11. Schnittstelle nach Anspruch 10, dadurch gekennzeichnet, daß die ersten Mittel einen Spannungsteiler mit einem ersten Widerstand (5) und einem zweiten Widerstand (6) aufweisen, daß der erste Widerstand (5) zwischen einer ersten Spannung (VCC) und einem Knoten angeordnet ist, daß der zweite Widerstand zwischen dem Knoten und einem Schalter angeordnet  
15       ist, und daß der Schalter zwischen dem zweiten Widerstand (6) und einer zweiten Spannung (Masse) angeordnet ist, daß der Schalter wahlweise zur Ausgabe eines High-Bit oder Low-Bit schaltbar ist, und daß die Übertragungsleitung (15) mit dem Knoten (4) verbunden ist.

20       12. Schnittstelle nach Anspruch 11, dadurch gekennzeichnet, daß die zweiten Mittel einen Schalter aufweisen, mit dem die Übertragungsleitung mit der ersten oder der zweiten Spannung verbindbar ist, und daß der Schalter in Abhängigkeit vom  
25       Synchronisationssignalen schaltbar ist.

30       13. Schnittstelle nach Anspruch 10 bis 12, dadurch gekennzeichnet, daß eine Datenleitung (Out-Data) und eine Synchronisationsleitung (Out-CLK) zur Ansteuerung der Schalter vorgesehen sind, und daß die Datenleitung (Out-Data) und die Synchronisationsleitung (Out-CLK) mit einem Mikroprozessor, insbesondere einem Mikroprozessor eines Motorsteuergerätes, verbunden sind.

14. Schnittstelle zum Empfang von Daten, die mit einer Übertragungsleitung verbunden ist, wobei die Schnittstelle dritte Mittel aufweist, eine Folge eines ersten oder eines zweiten voneinander unterscheidbaren Zustands auf der Übertragungsleitung (15) zu erkennen, die ein High-Bit oder ein Low-Bit darstellen, dadurch gekennzeichnet, daß vierte Mittel vorgesehen sind, um auf der Übertragungsleitung (15) einen dritten Zustand zu erkennen, der vom ersten und zweiten Zustand unterscheidbar ist, und daraus ein Synchronisationssignal zu erzeugen.

15. Schnittstelle nach Anspruch 14, dadurch gekennzeichnet, daß die drei Zustände durch voneinander unterscheidbare Spannungspegel realisiert ist.

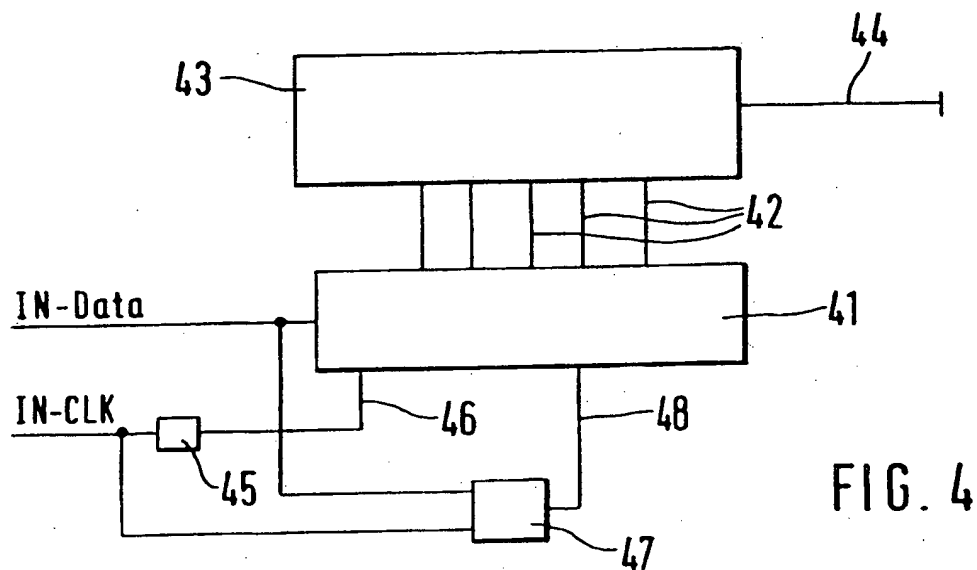
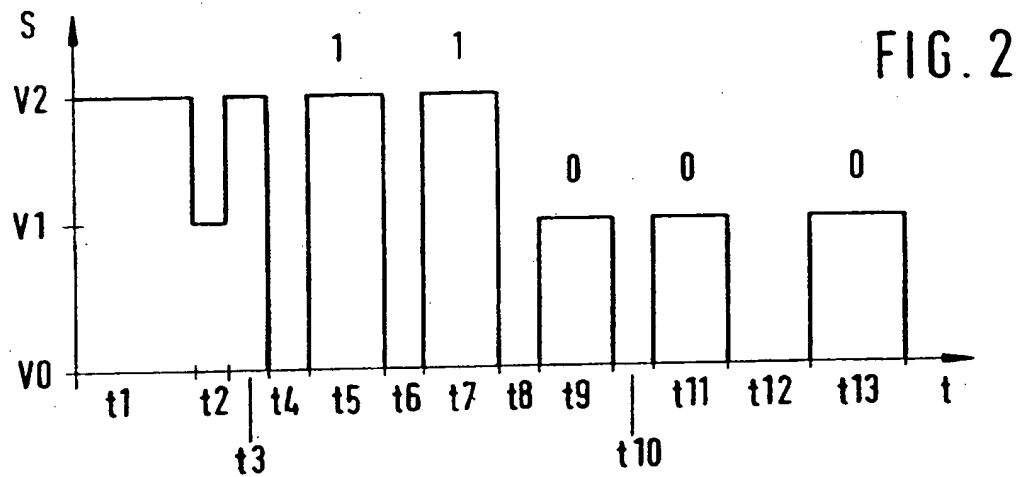
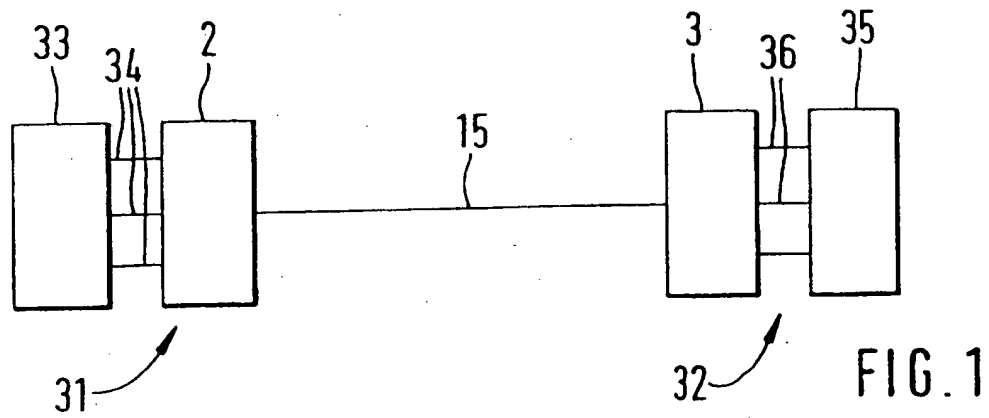
16. Schnittstelle nach Anspruch 15, dadurch gekennzeichnet, daß die dritten Mittel und die vierten Mittel jeweils einen Komparator aufweisen, daß jeweils ein Anschluß der Komparatoren mit der Übertragungsleitung und jeweils ein zweiter Anschluß der Komparatoren mit einer Vergleichsspannung verbunden ist.

17. Schnittstelle nach Anspruch 14 bis 16, dadurch gekennzeichnet, daß die Komparatoren mit einer Datenleitung (In-Data) und einer Synchronisationsleitung(In-CLK) verbunden sind, mit denen Daten und eine Synchronisationssignal an einen Empfänger, insbesondere einen Regler für eine Lichtmaschine, übertragbar sind.

18. Schnittstelle nach Anspruch 14 bis 17, dadurch gekennzeichnet, daß fünfte Mittel (12, 13) vorgesehen sind, auf der Übertragungsleitung (15) den ersten oder den zweiten Zustand zu erzeugen, um ein High-Bit oder ein Low-Bit auszusenden, und daß diese Mittel nur in Folge eines empfangenen Synchronisationssignals betätigt werden.

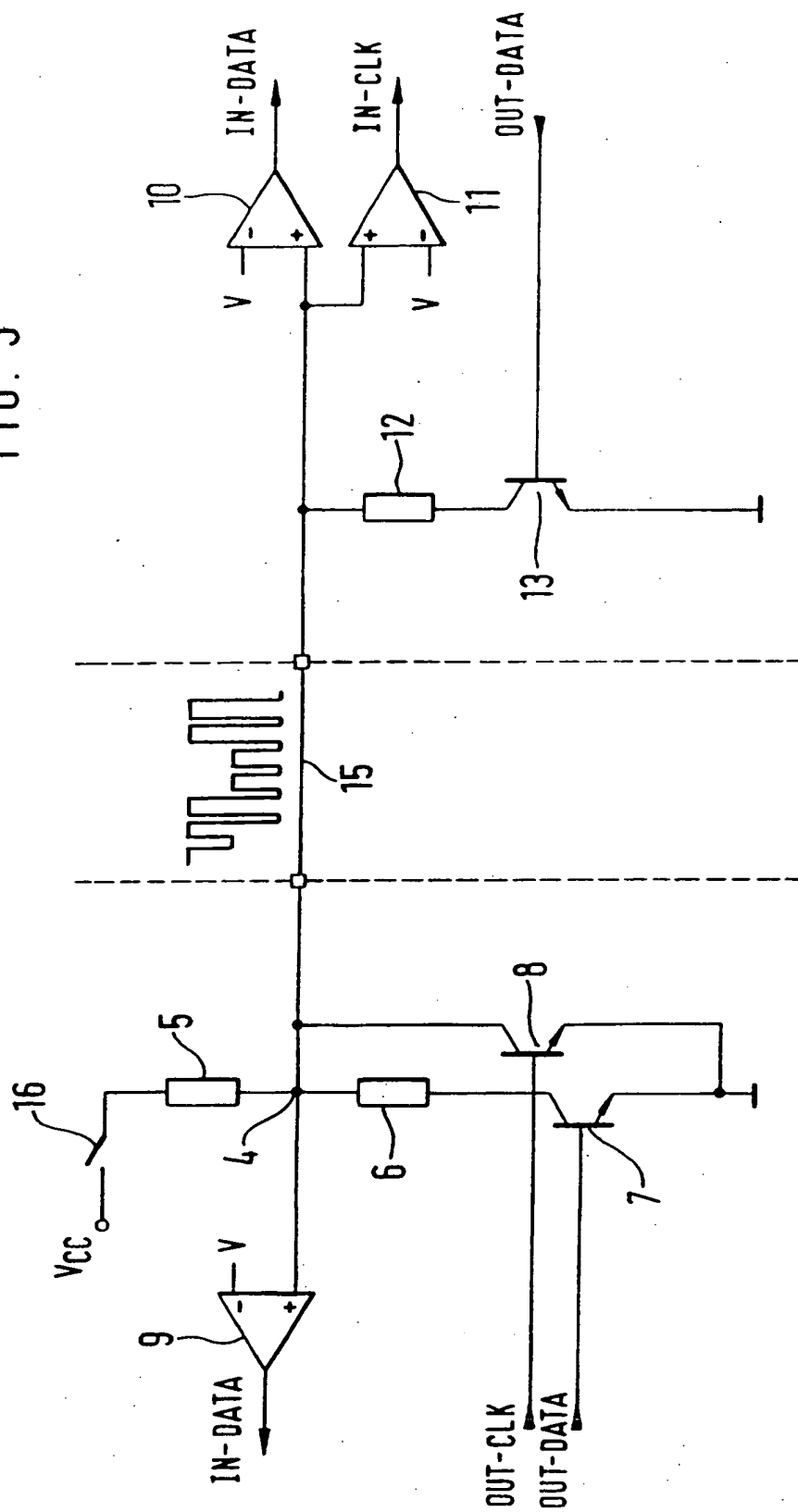
19. Schnittstelle zum Aussenden von Daten, die Mittel aufweist, zur Erzeugung von Folgen eines ersten oder eines zweiten voneinander unterscheidbaren Zustandes auf einer Übertragungsleitung, dadurch gekennzeichnet, daß die Zustände so gebildet werden, daß ein Synchronisationsimpuls und zwei Informationsimpulse entstehen, wobei sich die Dauern der Impulse voneinander unterscheiden.
- 5

1 / 7



2 / 7

FIG. 3



3 / 7

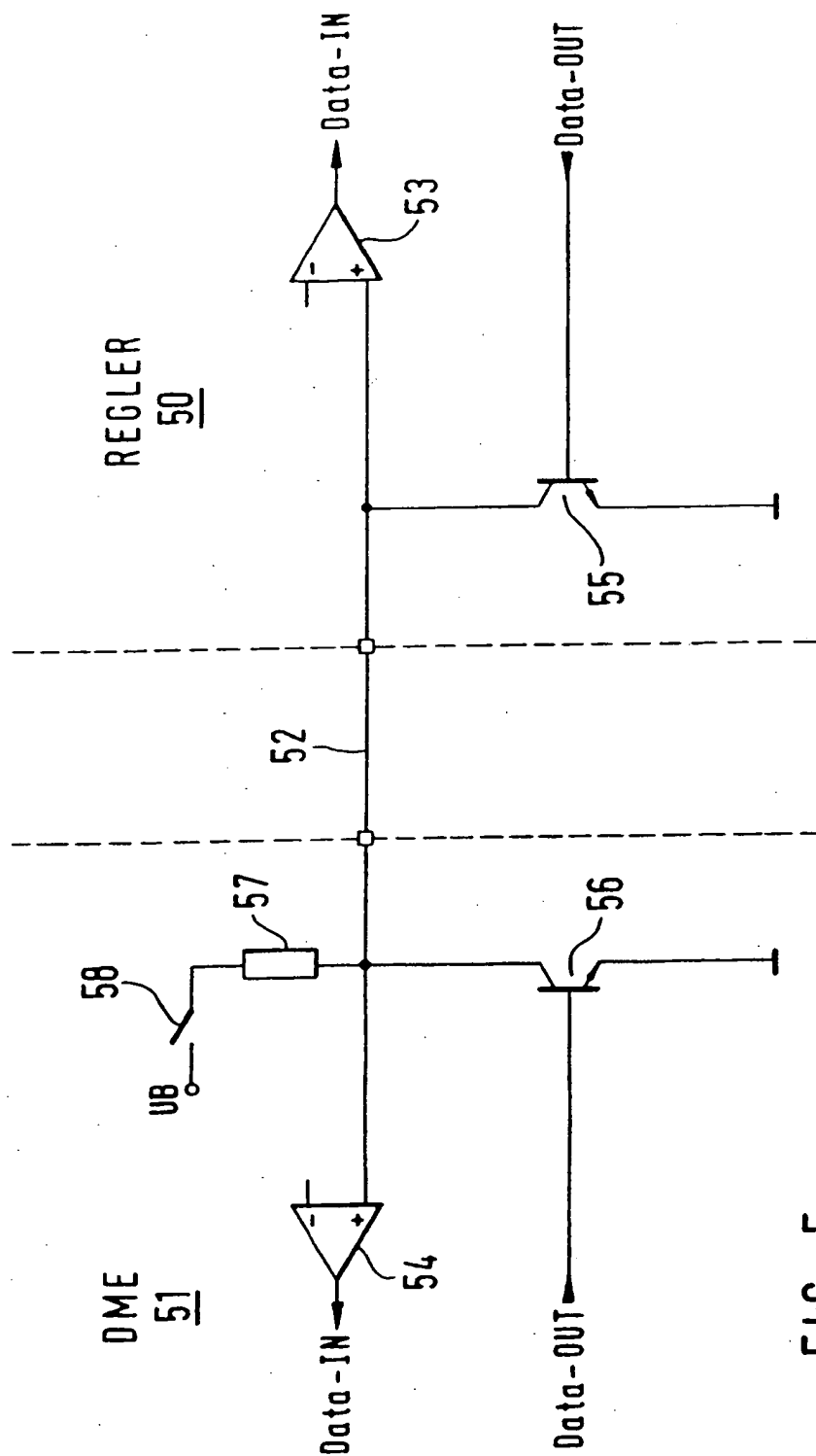
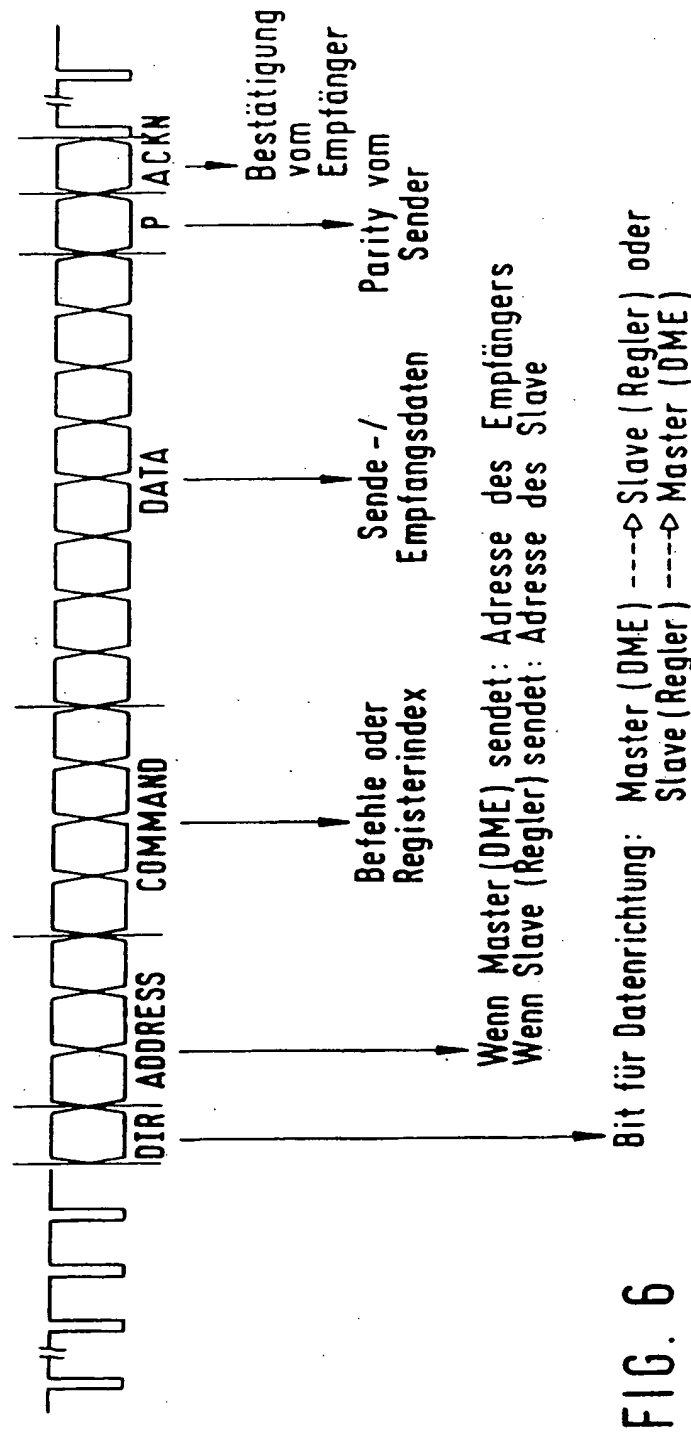


FIG. 5



4 / 7



5 / 7

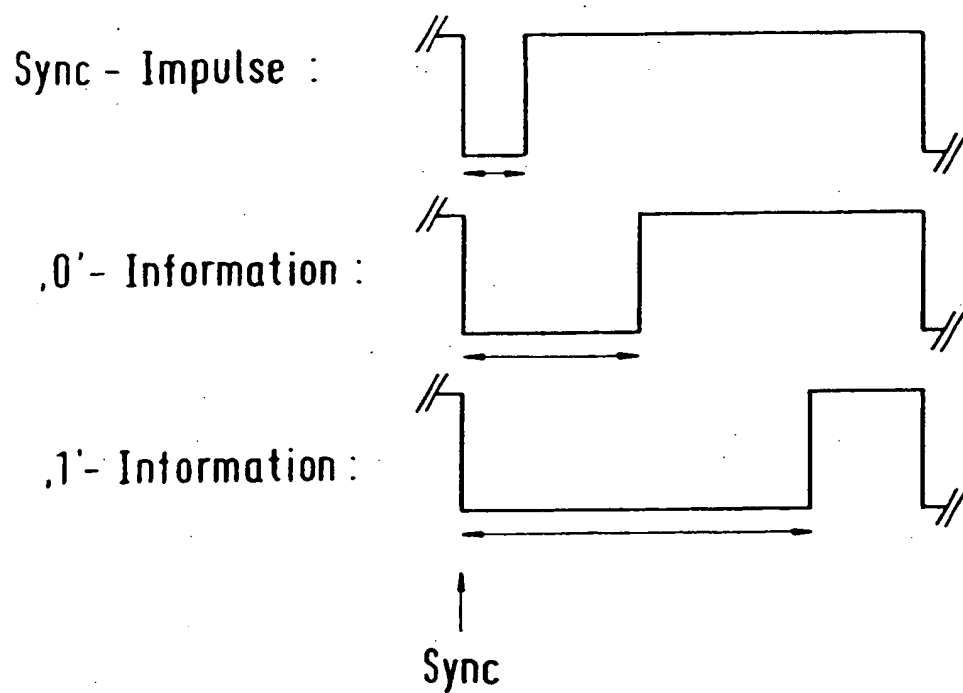


FIG. 7

6 / 7

FIG. 8

	Basis		Komfort-Funktionen			
	Kennlinie		Load-response		DF-Monitor	
	≤ 2	frei	≤ 2	frei	Schwelle	Akt. Wert
2-Pegel Signal	X					
PWM	X	X	X		X	
Bit-synchron	X	X	X	X	X	X
CAN	X	X	X	X	X	X



# INTERNATIONAL SEARCH REPORT

Internatic Application No  
PCT/DE 97/01532

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 6 H04J3/06

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H04J

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	GB 2 180 712 A (PLESSEY CO PLC) 1 April 1987 see column 1, line 21 - line 49 ---	1,3,5,9
X	FR 2 437 038 A (TORRIX SA ETS) 18 April 1980 see page 1, line 1 - line 8 see page 1, line 39 - page 2, line 18 see page 4, line 16 - line 40 see page 6, line 28 - page 7, line 9 ---	1,3,6,9, 10,14,15
X	US 2 794 858 A (HOUGHTON ET AL.) 4 June 1957 see column 4, line 11 - line 34; figure 3A --- -/--	1-3,5,6, 9,10,19

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

### \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"A" document member of the same patent family

Date of the actual completion of the international search

8 December 1997

Date of mailing of the international search report

17/12/1997

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Van den Berg, J.G.J.

# INTERNATIONAL SEARCH REPORT

Internat. Application No

PCT/DE 97/01532

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 008 238 A (WARD GOLDSTONE LTD) 20 February 1980  see page 2, line 22 - page 4, line 14 see page 6, line 15 - line 16 ----	1-3, 6, 8-10, 14, 19
X	EP 0 419 895 A (SIEMENS AG) 3 April 1991  see column 2, line 13 - line 22; figure 6 see column 4, line 36 - line 58 -----	1, 3, 9, 10, 14

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 97/01532

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
GB 2180712 A	01-04-87	NONE	
FR 2437038 A	18-04-80	NONE	
US 2794858 A	04-06-57	NONE	
EP 0008238 A	20-02-80	AT 1438 T	15-08-82
		GB 2035015 A,B	11-06-80
		JP 55047749 A	04-04-80
		AT 4398 T	15-08-83
		EP 0014556 A	20-08-80
		GB 2043313 A,B	01-10-80
		JP 55123258 A	22-09-80
		US 4355385 A	19-10-82
EP 0419895 A	03-04-91	AT 130988 T	15-12-95
		AU 610783 A	23-05-91
		CA 2026139 A	28-03-91
		DE 59009919 D	11-01-96
		ES 2080090 T	01-02-96
		JP 3119843 A	22-05-91
		US 5175734 A	29-12-92

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 97/01532

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 6 H04J3/06

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 6 H04J

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	GB 2 180 712 A (PLESSEY CO. PLC) 1. April 1987 siehe Spalte 1, Zeile 21 - Zeile 49 ---	1, 3, 5, 9
X	FR 2 437 038 A (TORRIX SA ETS) 18. April 1980 siehe Seite 1, Zeile 1 - Zeile 8 siehe Seite 1, Zeile 39 - Seite 2, Zeile 18 siehe Seite 4, Zeile 16 - Zeile 40 siehe Seite 6, Zeile 28 - Seite 7, Zeile 9 ---	1, 3, 6, 9, 10, 14, 15
X	US 2 794 858 A (HOUGHTON ET AL.) 4. Juni 1957 siehe Spalte 4, Zeile 11 - Zeile 34; Abbildung 3A --- -/-	1-3, 5, 6, 9, 10, 19

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen

"A" Veröffentlichung, die den allgemeinen Stand der Technik deliniert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahelegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

8. Dezember 1997

Absenddatum des internationalen Recherchenberichts

17/12/1997

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Van den Berg, J.G.J.



# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 97/01532

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	<p>EP 0 008 238 A (WARD GOLDSTONE LTD) 20.Februar 1980</p> <p>siehe Seite 2, Zeile 22 - Seite 4, Zeile 14 siehe Seite 6, Zeile 15 - Zeile 16</p>	<p>1-3,6, 8-10,14, 19</p>
X	<p>EP 0 419 895 A (SIEMENS AG) 3.April 1991</p> <p>siehe Spalte 2, Zeile 13 - Zeile 22; Abbildung 6 siehe Spalte 4, Zeile 36 - Zeile 58</p>	<p>1,3,9, 10,14</p>

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationaler Aktenzeichen

PCT/DE 97/01532

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
GB 2180712 A	01-04-87	KEINE	
FR 2437038 A	18-04-80	KEINE	
US 2794858 A	04-06-57	KEINE	
EP 0008238 A	20-02-80	AT 1438 T	15-08-82
		GB 2035015 A,B	11-06-80
		JP 55047749 A	04-04-80
		AT 4398 T	15-08-83
		EP 0014556 A	20-08-80
		GB 2043313 A,B	01-10-80
		JP 55123258 A	22-09-80
		US 4355385 A	19-10-82
EP 0419895 A	03-04-91	AT 130988 T	15-12-95
		AU 610783 A	23-05-91
		CA 2026139 A	28-03-91
		DE 59009919 D	11-01-96
		ES 2080090 T	01-02-96
		JP 3119843 A	22-05-91
		US 5175734 A	29-12-92